



Deutsches Patent- und Markenamt

DEPATIS
Bibliographic data

Document DE000010102871A1 (Page

Criterion	Field Contents
Title	TI [DE] HALBLEITERBAUELEMENT ZUM ANSCHLUSS AN EIN TESTSYSTEM
Applicant	PA Infineon Technologies AG, 81669 München, DE
Inventor	IN Kaiser, Robert, 86916 Kaufering, DE ; Schamberger, Florian, 83435 Bad Reichenhall, DE ; Schneider, Helmut, 80993 München, DE
Application date	AD 23.01.2001
Application number	AN 10102871
Country of application	AC DE
Publication date	PUB 14.08.2002
Priority data	PRC PRN PRD
IPC main class	ICM G01R 31/3187
IPC subclass	ICS G11C 29/00 ; H04L 7/00
IPC additional information on description	ICA
IPC index class	ICI
Abstract	AB [] Es ist ein Halbleiterbauelement zum Anschluß an ein Testsystem (2) beschrieben, dem an einem Anschluß (21) am Halbleiterbauelement (2) ein externes Taktsignal mit moduliertem Tastverhältnis (A) zuführbar ist, mit einer Taktrückgewinnungsschaltung (3), welche ein periodisches Taktsignal (B) aus dem modulierten Taktsignal (A) gewinnt sowie einem Schieberegister (4), dem, getaktet mit dem periodischen Taktsignal (B), das modulierte Taktsignal (A) zuführbar ist und welches ein Datensignal (C) bereitstellt. vorliegende Erfindung ermöglicht, insbesondere bei Massenspeicher-Chips, ein Zuführen von Taktsignalen sowie Programm-, Adressen- oder Datensignale zur Realisierung von BIST über lediglich einen Anschlußkontakt (21).

[PDF display](#)

© DPMA 2001


Patent Family

No. Publication number Title

- | | | |
|---|----------------------------------|---|
| 1 | DE000010102871C2 | [DE] Halbleiterbauelement zum Anschluß an ein Testsystem sowie Testsystem ... |
| 2 | DE000010102871A1 | [DE] HALBLEITERBAUELEMENT ZUM ANSCHLUSS AN EIN TESTSYSTEM |
| 3 | US020020097616A1 | [] SEMICONDUCTOR COMPONENT FOR CONNECTION TO A |

Display
PDF

Patent family
search

[Search](#)
[Search](#)

THIS PAGE BLANK (USPTO)

TEST SYSTEM



Search

THIS PAGE BLANK (USPTO)



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 101 02 871 A 1**

⑥ Int. Cl.⁷:
G 01 R 31/3187
G 11 C 29/00
H 04 L 7/00

⑳ Aktenzeichen: 101 02 871:7
㉑ Anmeldetag: 23. 1. 2001
㉒ Offenlegungstag: 14. 8. 2002

DE 101 02 871 A 1

㉑ **Anmelder:**
Infineon Technologies AG, 81669 München, DE

㉒ **Vertreter:**
Epping, Hermann & Fischer, 80339 München

㉑ **Erfinder:**
Kaiser, Robert, 86916 Kaufering, DE; Schamberger,
Florian, 83435 Bad Reichenhall, DE; Schneider,
Helmut, 80993 München, DE

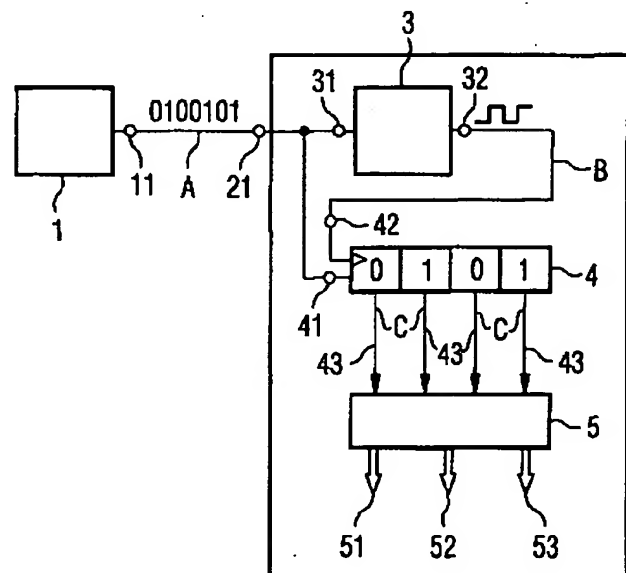
㉑ **Entgegenhaltungen:**
EP 06 04 188 A2
The Institute of Electrical and Electronics
Engineers: IEEE Standard Test Access Port and
Boundary-Scan Architecture. IEEE Standard 1149.1-
1990, New-York, 1990, S. 3-1 bis 3-7, S. 4-1 bis
4-3, S. 7-20 bis 7-23, S. 8-1 bis 8-2;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

㉑ **Halbleiterbauelement zum Anschluß an ein Testsystem**

㉑ Es ist ein Halbleiterbauelement zum Anschluß an ein Testsystem (2) beschrieben, dem an einem Anschluß (21) am Halbleiterbauelement (2) ein externes Taktsignal mit moduliertem Tastverhältnis (A) zuführbar ist, mit einer Taktrückgewinnungsschaltung (3), welche ein periodisches Taktsignal (B) aus dem modulierten Taktsignal (A) gewinnt sowie einem Schieberegister (4), dem, getaktet mit dem periodischen Taktsignal (B), das modulierte Taktsignal (A) zuführbar ist und welches ein Datensignal (C) bereitstellt. Die vorliegende Erfindung ermöglicht, insbesondere bei Massenspeicher-Chips, ein Zuführen von Taktsignalen sowie Programm-, Adressen- oder Datensignalen zur Realisierung von BIST über lediglich einen Anschlußkontakt (21).



DE 101 02 871 A 1

[0001] Die vorliegende Erfindung betrifft ein Halbleiterbauelement zum Anschluß an ein Testsystem sowie ein Testsystem mit dem Halbleiterbauelement.

[0002] Zur Bereitstellung von Funktionstests bei Halbleiterchips, beispielsweise Massenspeicher-Chips, ist es üblich, Selbsttest-Schaltungen in den Chip zu integrieren (BIST, Built In Self Test).

[0003] In einer Testumgebung können mit einer Testvorrichtung, welche mit dem zu testenden Chip (DUT, Device Under Test) verbunden ist, über mehrere Anschluß-Pads oder Anschluß-Pins Taktsignale, Datensignale, Adressen sowie Kommandos zu dem zu testenden Chip übertragen werden. Hierfür ist es bisher üblich, Daten, Kommandos sowie Adressen parallel in das DUT zu übertragen. Damit ist jedoch der Nachteil verbunden, daß viele Pins oder Anschlußbeinchen am Chip erforderlich sind, um Selbsttests durchführen zu können.

[0004] Aufgabe der vorliegenden Erfindung ist es, ein Halbleiterbauelement zum Anschluß an ein Testsystem sowie ein Testsystem mit dem Halbleiterbauelement anzugeben, bei dem die zur Durchführung von Selbsttests erforderliche Anzahl von Anschlußbeinchen oder Pins am Halbleiterbauelement reduziert ist.

[0005] Erfindungsgemäß wird die Aufgabe mit einem Halbleiterbauelement zum Anschluß an ein Testsystem gelöst, aufweisend

- zumindest einen Anschluß am Halbleiterbauelement zum Zuführen eines externen Taktsignals mit moduliertem Tastverhältnis,
- eine Taktrückgewinnungsschaltung mit einem Eingang, der mit dem zumindest einen Anschluß am Halbleiterbauelement verbunden ist und mit einem Ausgang, an dem ein periodisches Taktsignal mit der Frequenz des Taktsignals mit moduliertem Tastverhältnis ableitbar ist, und
- ein Schieberegister mit einem seriellen Dateneingang, der mit dem zumindest einen Anschluß am Halbleiterbauelement verbunden ist und mit einem Takteingang, der mit dem Ausgang der Taktrückgewinnungsschaltung verbunden ist.

[0006] Das beschriebene Halbleiterbauelement weist zur Durchführung von Selbsttests lediglich ein Anschlußbeinchen oder Pin oder Anschluß-Pad auf, an dem das modulierte Taktsignal zuführbar ist. Mit diesem modulierten Taktsignal kann einerseits der für die Testfunktionen erforderliche Referenztakt übermittelt werden, andererseits können seriell Daten, Adressen sowie Kommandos für ein Selbsttest-Programm im Halbleiterbauelement übermittelt werden.

[0007] Damit der zumindest eine Anschluß am Halbleiterbauelement neben einem Testbetrieb auch für einen Normalbetrieb des Halbleiterbauelements nutzbar ist, kann ein Umschalter oder Multiplexer zur Kopplung von Schieberegister-Eingang und Taktrückgewinnungsschaltungs-Eingang mit dem externen Anschluß am Halbleiterbauelement vorgesehen sein, an den weiterhin ein Schaltungsteil zum Durchführen eines Normalbetriebs im Halbleiterbauelement angeschlossen sein kann.

[0008] Die Taktrückgewinnungsschaltung im Halbleiterbauelement ermöglicht die Rückgewinnung eines periodischen Taktsignals aus dem modulierten Taktsignal. Das Schieberegister wird mit diesem rückgewonnenen, periodischen Taktsignal an einem Takteingang angesteuert, so daß, durch zeitrichtige Abtastung des modulierten Taktsi-

gnals beispielsweise mit der fallenden Flanke des rückgewonnenen Taktsignals, eine Demodulation eines Datensignals aus dem modulierten Taktsignal im Schieberegister bereitgestellt ist.

[0009] Unter einem Taktsignal ist ein periodisches Signal verstanden, beispielsweise ein Rechtecksignal mit symmetrischem Tastverhältnis, das heißt einem Duty-Cycle von beispielsweise 50 Prozent. Dies bedeutet, daß 50% der Taktpériodendauer des Taktsignals gleich der Dauer eines High-Pegels im Taktsignal ist. Der zeitliche Verlauf eines Taktsignals ist demnach zu jedem beliebigen Zeitpunkt determiniert.

[0010] Unter einem Datensignal ist ein Signal mit a priori nicht bekanntem Signalverlauf verstanden. Ein Datensignal ist folglich üblicherweise kein periodisches Signal.

[0011] Unter der Frequenzgleichheit von periodischem Taktsignal und moduliertem Taktsignal ist die Gleichheit der Periodendauern der beiden Signale verstanden.

[0012] Die Übertragung von Daten, Adressen oder Kommandos mit dem modulierten Taktsignal kann paketweise erfolgen. Hierbei kann jedes Paket als zusätzliche Information enthalten, ob die im Paket gesendeten Informationen Daten, Adressen oder Kommandos sind. Im Halbleiterbauelement kann in einer Testschaltung ein Decoder vorgesehen sein, der die entsprechend gekennzeichneten Paketinformationen decodiert. Mit dem vorliegenden Halbleiterbauelement können auch lange Datensequenzen, beispielsweise verschiedene Programme zur Durchführung eines BIST, Built In Self Test, in das Halbleiterbauelement geladen werden. Weiter sind Kosten mit vorliegendem Halbleiterbauelement eingespart, da lediglich ein Pin oder Anschluß am Halbleiterbauelement in einer Testumgebung zu kontaktieren ist. Zudem ist es somit möglich, die Anzahl der gleichzeitig mit einer Testvorrichtung prüfbar an Halbleiterbauelemente durch einen höheren Parallelisierungsgrad zu steigern und Zeit und Kosten einzusparen. Dies ist insbesondere bei Massenherstellungsverfahren mit großen Stückzahlen, wie sie in der Chip-Herstellung üblich sind, vorteilhaft.

[0013] In einer bevorzugten Ausführungsform der vorliegenden Erfindung ist das Halbleiterbauelement ein Massenspeicher-Chip. In Massenspeicher-Chips ist, beispielsweise zur Überprüfung der Speicherzellen auf Fehler, eine einfach realisierbare Testumgebung oder ein Testsystem besonders vorteilhaft.

[0014] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist das Halbleiterbauelement ein DRAM, Dynamic Random Access Memory, mit einem Speicherplatz größer oder gleich 64 Megabit. Das Halbleiterbauelement kann jedoch auch einen geringeren Speicherplatz als 64 MBit aufweisen.

[0015] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist das periodische Taktsignal ein Rechtecksignal mit einem symmetrischen Tastverhältnis von 50%. Das Tastverhältnis wird auch als Duty-Cycle bezeichnet. Ein Tastverhältnis von 50% bedeutet, daß innerhalb einer Taktpériode die Zeitdauer eines logischen High-Pegels gleich der Zeitdauer eines logischen Low-Pegels gleich der halben Periodendauer des Taktsignals ist. Ein Tastverhältnis von 50% ist zwar besonders vorteilhaft, es liegt jedoch auch ein Halbleiterbauelement zum Betrieb mit einem anderen Tastverhältnis als 50% im Rahmen der Erfindung.

[0016] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist das Schieberegister ein 4-Bit-Schieberegister. Die 4 Bit Speicherplatz des Schieberegisters werden dabei, gesteuert vom regenerierten Taktsignal, bitweise seriell in das Schieberegister eingelesen. In einer weiteren, bevorzugten Ausführungsform der vorlie-

genden Erfindung ist der Takteingang des Schieberegisters ein den Dateneingang des Schieberegisters auf die abfallende Flanke triggernder Eingang. Hierdurch sind jeweils periodisch wiederkehrende Bewerte-Zeitpunkte bezüglich des modulierten Taktsignals festgelegt, zu denen jeweils das modulierte Taktsignal abgetastet und hierdurch in einfacher Weise ein Datensignal, mit dem das Taktsignal moduliert ist, rückgewonnen werden kann.

[0017] Je nach Anwendungsfall können auch deutlich größere Schieberegister als 4-Bit-Schieberegister vorteilhaft eingesetzt sein, beispielsweise dann, wenn Adressen, wie Zeilen- und/oder Spaltenadressen, für einen Speicher-Chip abgelegt werden sollen.

[0018] In einer weiteren, bevorzugten Ausführungsform der Erfindung weist das Schieberegister einen parallelen Datenausgang zum parallelen Auslesen des Schieberegisters auf. Hierdurch ist eine parallele Weiterverarbeitung des rückgewonnenen Datensignals, welches beispielsweise Daten, Adressen oder Kommandos aufweist, möglich.

[0019] In einer weiteren, bevorzugten Ausführungsform der vorliegenden Erfindung ist ein Decoder an dem parallelen Datenausgang des Schieberegisters angeschlossen, mit einem Datenausgang, einem Adressenausgang und einem Kommandoausgang. Zur Bereitstellung von BIST-Funktionen oder Programmen kann der Decoder das parallel eingeleseene Datensignal decodieren und die mit dem modulierten Taktsignal übertragenen Informationen in die übertragenen Daten, Adressen oder Kommandos auftrennen.

[0020] Gemäß der vorliegenden Erfindung ist außerdem ein Testsystem mit einer Testvorrichtung zum Testen des Halbleiterbauelementes vorgesehen, mit einem Ausgang, der mit dem zumindest einen Anschluß des Halbleiterbauelementes verbunden ist und an dem das Taktsignal mit moduliertem Tastverhältnis ableitbar ist. Die Testvorrichtung kann beispielsweise Datenpakete mit Daten, Adressen oder Kommandos an ihrem Ausgang bereitstellen. Testvorrichtungen haben üblicherweise nur eine begrenzte Anzahl programmierbarer Anschlüsse zum Anschluß von Halbleiterbauelementen. Mit dem beschriebenen Testsystem ist es möglich, mehr Halbleiterbauelemente als zuvor gleichzeitig testen zu können, da jedes zu testende Halbleiterbauelement lediglich einen zu kontaktierenden Anschluß aufweist, über den Takt- und Datensignale, wie beschrieben, übertragbar sind.

[0021] Weitere Einzelheiten der Erfindung sind Gegenstand der Unteransprüche.

[0022] Die Erfindung wird nachfolgend an einem Ausführungsbeispiel anhand der Zeichnungen näher erläutert. Es zeigen:

[0023] Fig. 1 ein erstes Ausführungsbeispiel der Erfindung anhand eines Blockschaltbildes, und

[0024] Fig. 2 beispielhafte Signalverläufe ausgewählter Signale am Blockschaltbild gemäß Fig. 1.

[0025] Fig. 1 zeigt ein Testsystem mit einer Testvorrichtung 1 sowie einem Halbleiterbauelement 2. Die Testvorrichtung weist einen Ausgang 11 auf, welcher an einen Eingangs-Anschluß 21 des Halbleiterbauelementes 2 zur Zuführung eines modulierten Taktsignals verbunden ist. Das modulierte Taktsignal ist dabei mit A bezeichnet und weist ein mit einem Datensignal moduliertes Tastverhältnis auf.

[0026] Das Halbleiterbauelement 2 umfaßt weiterhin eine Taktrückgewinnungsschaltung 3 sowie ein Schieberegister 4, welche jeweils eingangsseitig mit dem Anschluß 21 zum Zuführen des modulierten Taktsignals A verbunden sind. Die Taktrückgewinnungsschaltung 3 weist hierfür einen Eingang 31 auf, sowie einen Ausgang 32, an dem ein aus dem modulierten Taktsignal A rückgewonnenes, periodisches Taktsignal B ableitbar ist. Das rückgewonnene

Taktsignal B, welches periodisch ist und einen symmetrischen Duty-Cycle von 50% aufweist, welcher in jeder Taktperiode gleich ist, hat dabei die gleiche Frequenz wie das modulierte Taktsignal A.

[0027] Das Schieberegister 4 weist einen Dateneingang 41 auf, der ebenso wie der Eingang 31 der Taktrückgewinnungsschaltung 3 mit dem Anschluß 21 des Halbleiterbauelementes 2 verbunden ist. Zudem weist das Schieberegister 4 einen Takteingang 42 auf, der mit dem Ausgang 32 der Taktrückgewinnungsschaltung zur Übertragung des periodischen Taktsignals B verbunden ist. Der Takteingang 42 ist dabei ein auf die abfallende Flanke des periodischen Taktsignals B triggernder Takteingang. Das Triggern auf die fallende Flanke eines periodischen Taktsignals kann schaltungstechnisch beispielsweise mit einem Transmission Gate realisiert sein.

[0028] In Schieberegister 4 werden demnach mit den Impulsen des Taktsignals seriell und bitweise Bits des Datensignals, mit dem das modulierte Taktsignal A moduliert ist, eingelesen.

[0029] Das Schieberegister 4 weist einen parallelen Datenausgang 43 auf, der mit einem Decoder 5 zur Übertragung des Datensignals gekoppelt ist. Das Datensignal kann als Information beispielsweise Daten, Kommandos oder Adressen zum Programmieren eines BIST, Built In Self Test, im Halbleiterbauelement 2 aufweisen. Der Decoder 5 weist drei Ausgänge 51, 52, 53 auf, von denen der Ausgang 51 ein Datenausgang, der Ausgang 52 ein Adreßausgang und der Ausgang 53 ein Kommandoausgang ist.

[0030] Das beschriebene Testsystem ist mit einfachen schaltungstechnischen Mitteln realisierbar und ermöglicht die Übertragung von zur Realisierung von BIST in Speicherchips erforderlichen Signalen über lediglich einen Anschlußkontakt. Der zum Testen von Speicherchips erforderliche Zeit- und Kostenaufwand läßt sich somit deutlich verringern.

[0031] Fig. 2 zeigt beispielhafte Signalverläufe des modulierten Taktsignals A, des rückgewonnenen, periodischen Taktsignals B sowie des Datensignals C gemäß dem Testsystem von Fig. 1. Man erkennt, daß das Taktsignal A zwar eine periodische Frequenz, das heißt eine konstante Periodendauer aufweist, daß jedoch das Tastverhältnis, das heißt der Duty-Cycle des Taktsignals, moduliert ist. Die Abstände zwischen den ansteigenden Flanken des Taktsignals A sind stets gleich. Das periodische Taktsignal B weist ebenfalls eine stets gleiche Frequenz auf, das heißt jeweils gleiche Periodendauern. Zudem weist Taktsignal B jedoch ein symmetrisches Tastverhältnis von 50% auf, so daß die Dauer eines logischen High-Pegels im Taktsignal B stets gleich dem darauffolgenden, logischen Null-Pegel des Taktsignals B ist. Anders ausgedrückt, weist das Taktsignal B ein Zeitverhältnis von logischer 1 zu Gesamtdauer der Taktperiode von 50% auf. Wird nun das modulierte Taktsignal A jeweils zur Zeit der abfallenden Flanke des periodischen Taktsignals B abgetastet, so kann in einfacher Weise das übertragene Datensignal C rückgewonnen werden. Im Beispiel gemäß Fig. 2 wird eine Bitsequenz übertragen, welche 0100101 lautet.

[0032] Das vorliegende Testsystem ermöglicht in einfacher Weise eine Übertragung sowohl eines Taktsignals als auch von Daten, Programm- oder Adreßinformationen über nur ein Anschlußpin eines Halbleiterbauelementes. Dies ist besonders bei Anwendung des Testsystems in Massenspeicher-Chips vorteilhaft.

Bezugszeichenliste

- 1 Testvorrichtung
- 2 Halbleiterbauelement

3 Taktrückgewinnungsschaltung
 4 Schieberegister
 5 Decoder
 11 Ausgang
 21 Anschluß
 31 Eingang
 32 Ausgang
 41 Dateneingang
 42 Takteingang
 43 Ausgang
 51 Datenausgang
 52 Adreßausgang
 53 Kommandoausgang
 A moduliertes Taktsignal
 B periodisches Taktsignal
 C Datensignal

5

10

15

gekennzeichnet, daß eine Testvorrichtung (1) zum Testen des Halbleiterbauelements (2) vorgesehen ist, mit einem Ausgang (11), der mit dem zumindest einen Anschluß (21) des zumindest einen Halbleiterbauelements (2) verbunden ist und an dem das Taktsignal mit moduliertem Tastverhältnis (A) ableitbar ist.

Hierzu 1 Seite(n) Zeichnungen

Patentansprüche

1. Halbleiterbauelement (2) zum Anschluß an ein Testsystem (1), aufweisend
 zumindest einen Anschluß (21) am Halbleiterbauelement (2) zum Zuführen eines externen Taktsignals mit moduliertem Tastverhältnis (A),
 eine Taktrückgewinnungsschaltung (3) mit einem Eingang (31), der mit dem zumindest einen Anschluß (21) am Halbleiterbauelement (2) verbunden ist und mit einem Ausgang (32), an dem ein periodisches Taktsignal (B) mit der Frequenz des Taktsignals mit moduliertem Tastverhältnis (A) ableitbar ist, und
 ein Schieberegister (4) mit einem seriellen Dateneingang (41), der mit dem zumindest einen Anschluß (21) am Halbleiterbauelement (2) verbunden ist und mit einem Takteingang (42), der mit dem Ausgang (32) der Taktrückgewinnungsschaltung (3) verbunden ist.
2. Halbleiterbauelement (2) nach Anspruch 1, dadurch gekennzeichnet, daß das Halbleiterbauelement (2) ein Massenspeicher-Chip ist.
3. Halbleiterbauelement (2) nach Anspruch 2, dadurch gekennzeichnet, daß das Halbleiterbauelement (2) ein DRAM, Dynamic Random Access Memory mit einem Speicherplatz größer oder gleich 64 Megabit ist.
4. Halbleiterbauelement (2) nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß das periodische Taktsignal (B) ein Rechtecksignal mit einem symmetrischen Tastverhältnis von 50% ist.
5. Halbleiterbauelement (2) nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das Schieberegister (4) ein 4-Bit-Schieberegister ist.
6. Halbleiterbauelement (2) nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß der Takteingang (42) des Schieberegisters (4) an den Dateneingang (41) des Schieberegisters (4) auf die abfallende Flanke eines am Takteingang anliegenden Taktsignals (B) triggernder Eingang ist.
7. Halbleiterbauelement (2) nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß das Schieberegister (4) einen parallelen Datenausgang (43) aufweist zum parallelen Auslesen des Schieberegisters (4).
8. Halbleiterbauelement (2) nach Anspruch 7, dadurch gekennzeichnet, daß ein Decoder (5) an den parallelen Datenausgang (43) des Schieberegisters (4) angeschlossen ist mit einem Datenausgang (51), einem Adressenausgang (52) und einem Kommandoausgang (53).
9. Testsystem mit zumindest einem Halbleiterbauelement (2) nach einem der Ansprüche 1 bis 8, dadurch

20

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG 1

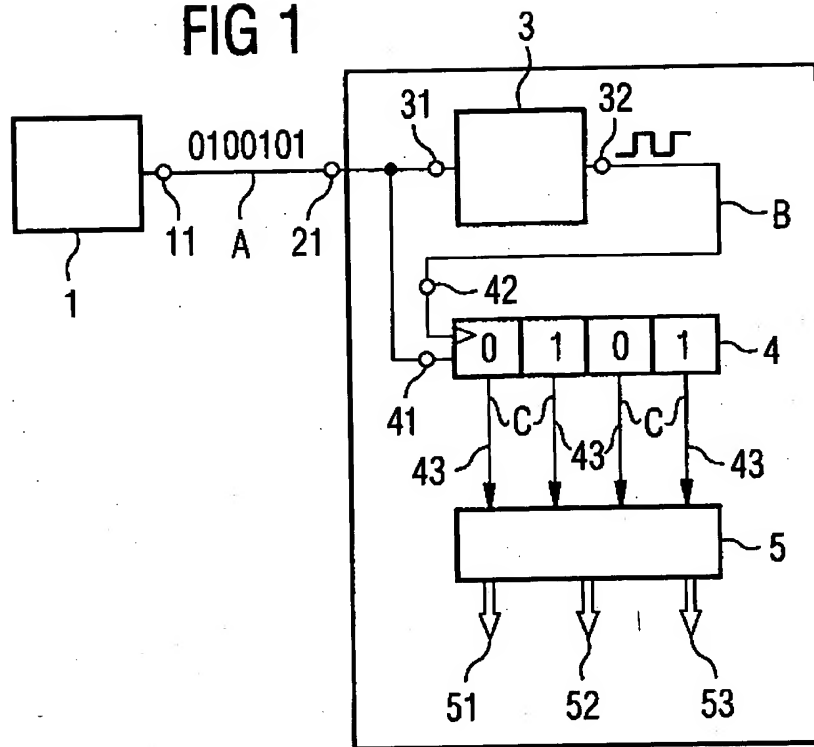


FIG 2

